

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-158808

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

G06F 12/16
G06F 9/22
G06F 9/26
G06F 11/10

(21)Application number : 03-348638

(71)Applicant : NEC ENG LTD

(22)Date of filing : 06.12.1991

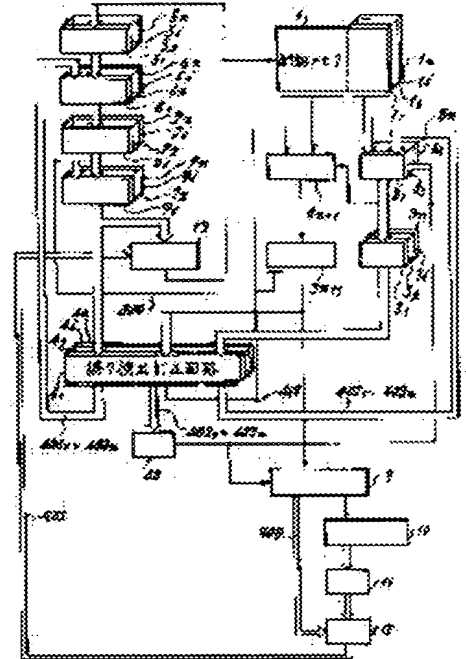
(72)Inventor : ABE TOSHIHISA

(54) MICROPROGRAM CONTROLLER

(57)Abstract:

PURPOSE: To prevent a microinstruction from being read out by an erroneous address in a microprogram controller to execute contents read out of a control memory by the address.

CONSTITUTION: By executing n-way error detection and correction by a first to an n-th error detection and correction circuits 41 to 4n by using the microinstruction and a first to an n-th error correction codes generated respectively for the n-way addresses capable of being expected following the address of this microinstruction, the correctness of the executing order of the microinstruction of the n-way branchable microprogram controller can be secured, and simultaneously, the error of the address is corrected before the microinstruction to be executed next is read out of the control memory 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項 1】 制御記憶手段に格納されたマイクロ命令をアドレス情報に従い順次読み出し実行する n ウェイ分岐可能なマイクロプログラム制御装置において、各マイクロプログラムに対し該マイクロ命令自体と該マイクロ命令の次に実行される n ウェイの各アドレスに対してそれぞれ生成された第 1 ～ 第 n の誤り訂正コードを該マイクロ命令に付加して格納する制御記憶手段と、該制御記憶手段から読み出した上記第 1 ～ 第 n の誤り訂正コードをそれぞれ一時保持する第 1 ～ 第 n の記憶手段と、上記マイクロ命令を一時保持する第 n + 1 の記憶手段と、上記マイクロ命令のアドレスに対して生成した上記 n ウェイのアドレスまたは該マイクロ命令が示すネクストアドレスの中から次のアドレスを選択して上記制御記憶手段に供給するアドレス生成手段と、上記第 1 ～ 第 n の記憶手段から読み出される各第 1 ～ 第 n の誤り訂正コードと上記 n ウェイのアドレス及び上記第 n + 1 の記憶手段から読み出されるマイクロ命令とを一組として検出訂正する第 1 ～ 第 n の誤り検出訂正手段と、該第 1 ～ 第 n の誤り検出訂正手段によって誤りが検出された時上記マイクロ命令の実行を抑止する手段と、上記第 1 ～ 第 n の誤り検出訂正手段の出力に従って上記第 1 ～ 第 n の記憶手段の内容または上記第 n + 1 の記憶手段の内容または上記 n ウェイのアドレスを訂正する誤り訂正手段と、上記マイクロ命令をデコードする手段と、デコード結果により演算した結果を格納する演算結果記憶手段と、上記デコード内容と上記演算結果記憶手段を上記アドレス生成手段に報告する手段とを備えたことを特徴とするマイクロプログラム制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロプログラム制御装置に関し、特にマイクロプログラムの誤り訂正に関する。

【0002】

【従来の技術】 一般に、この種のマイクロプログラム制御装置に置ける誤り訂正には、情報処理 VOL. 23

NO. 4 「誤り検出・訂正符号の応用」(藤原英二、金田重郎 共著 社団法人 情報処理学会)に示されるように ECC 方式が採用されている。

【0003】 従来、ECC 方式を採用したマイクロプログラム制御装置は、図 2 に示すマイクロプログラム制御装置のように、マイクロ命令語に誤り訂正コードを付加して記憶する制御メモリ 1 a を設け(例えば特公昭 62-027417 号)、さらに、その制御メモリ 1 a の読み出し出力と、その内容を読み出すアドレスを保持するマイクロアドレスレジスタ 2 a の出力を対象とした誤り検出訂正回路 4 a を設け、マイクロアドレスレジスタ 2 a と制御メモリ 1 a の読み出し出力との双方に対して誤り検出訂正を行なう技術があった。

【0004】 この技術によれば、マイクロアドレスレジスタ 2 a の出力と異なる制御メモリ 1 a のアドレスを読み出した場合にも誤りが検出されるため、制御メモリ 1 a から読み出される内容を保証することができ、マイクロプログラムによって制御される情報処理装置の信頼性は大幅に改善される。

【0005】

【発明が解決しようとする課題】 上記した従来のマイクロプログラム制御装置は制御メモリ 1 a から読み出された内容と、その読み出しアドレスを保持したマイクロアドレスレジスタ 2 a の出力とによって、誤りの検出を行っているため、マイクロアドレスレジスタ 2 a を更新するための加算器 5 a や、次の読み出しアドレスを選択する切替器 6 a などの故障によって制御メモリ 1 a の読み出しアドレスを誤った場合に、誤った読み出しアドレスに従って制御メモリ 1 a からマイクロ命令を読み出してしまい、その誤りが検出されないという問題がある。更に、読み出しアドレスの誤りが 1 マシンサイクル内の早い時点で生じ、制御メモリ 1 a の読み出しが誤りアドレスに従って実施された場合では、制御メモリ 1 a からの出力が誤りアドレスに一致してしまい、結果として誤りを検出できないという問題があった。

【0006】 本発明は、上述した従来例における問題点を解消するためになされたもので、誤ったアドレスでマイクロ命令を読み出すことを防ぐマイクロプログラム制御装置を得ることを目的とする。

【0007】

【課題を解決するための手段】 上記目的を達成するために、本発明に係るマイクロプログラム制御装置は、制御記憶手段に格納されたマイクロ命令をアドレス情報に従い順次読み出し実行する n ウェイ分岐可能なマイクロプログラム制御装置に置いて、各マイクロプログラムに対し該マイクロ命令自体と該マイクロ命令の次に実行される n ウェイの各アドレスに対してそれぞれ生成された第 1 ～ 第 n の誤り訂正コードを該マイクロ命令に付加して格納する制御記憶手段と、該制御記憶手段から読み出した上記第 1 ～ 第 n の誤り訂正コードをそれぞれ一時保持する第 1 ～ 第 n の記憶手段と、上記マイクロ命令を一時保持する第 n + 1 の記憶手段と、上記マイクロ命令のアドレスに対して生成した上記 n ウェイのアドレスまたは該マイクロ命令が示すネクストアドレスの中から次のアドレスを選択して上記制御記憶手段に供給するアドレス生成手段と、上記第 1 ～ 第 n の記憶手段から読み出される各第 1 ～ 第 n の誤り訂正コードと上記 n ウェイのアドレス及び上記第 n + 1 の記憶手段から読み出されるマイクロ命令とを一組として検出訂正する第 1 ～ 第 n の誤り検出訂正手段と、該第 1 ～ 第 n の誤り検出訂正手段によって誤りが検出された時上記マイクロ命令の実行を抑止する手段と、上記第 1 ～ 第 n の誤り検出訂正手段の出力に従って上記第 1 ～ 第 n の記憶手段の内容または上記第 n

+1の記憶手段の内容または上記nウェイのアドレスを訂正する誤り訂正手段と、上記マイクロ命令をデコードする手段と、デコード結果により演算した結果を格納する演算結果記憶手段と、上記デコード内容と上記演算結果記憶手段を上記アドレス生成手段に報告する手段とを備えたことを特徴とするものである。

【0008】

【作用】本発明においては、マイクロ命令とそのマイクロ命令のアドレスの次に考えられるnウェイのアドレスに対してそれぞれ生成した第1～第nの誤り訂正コードを用いて、nウェイの誤り検出訂正を行うことにより、nウェイ分岐可能なマイクロプログラム制御装置のマイクロ命令の実行順序の正当性を保証するとともに、次に実行されるマイクロ命令を制御メモリから読み出す前にアドレスの誤りを訂正する。

【0009】

【実施例】次に本発明について図面を参照して説明する。図1は本発明におけるnウェイ分岐可能なマイクロプログラム制御装置の一実施例の構成を示すブロック図である。但し、条件iは、nウェイ条件分岐命令の条件1～nの中の任意に選択した条件とする。

【0010】制御メモリ1は、マイクロ命令とそのマイクロ命令のアドレスに、例えば+1～+n加算されたアドレスに対してそれぞれ生成した第1～第nの誤り訂正コードをそのマイクロに付加して格納している。

【0011】マイクロアドレスレジスタ2₁～2_nは、それぞれ制御メモリ1の読み出しアドレス+1～+nを保持する。

【0012】マイクロ命令レジスタ3_{n+1}は、制御メモリ1から出力されるマイクロ命令を保持する。

【0013】誤り訂正コードレジスタ3₁～3_nは、制御メモリ1から出力されるマイクロ命令に付加してある誤り訂正コード1₁～1_nをそれぞれ保持する。

【0014】フラグレジスタ11は、演算器10の演算結果によるステータス情報を保持する。

【0015】切替器7₁～7_nは、それぞれ通常マイクロアドレスレジスタ2₁～2_nの出力を選択し、マイクロ命令レジスタ3_{n+1}に保持されたマイクロ命令が無条件分岐命令である場合にはそれぞれに信号線300の出力を選択する。

【0016】切替器13は、制御信号902により、通常切替器7₁の出力を選択し、マイクロ命令レジスタ3_{n+1}に保持されたマイクロ命令がnウェイ条件分岐命令で、条件iが成立した場合には切替器7₁の出力を選択する。

【0017】加算器5₁～5_nは、制御メモリ1を読み出したアドレスを更新して、次に読み出すアドレスを求めるためのもので、切替器13の出力に対して、それぞれ1～nを加算する。

【0018】切替器6₁～6_nは、通常加算器5₁～5_n

をそれぞれ選択しており、切替器7₁～7_nの出力及び制御メモリ1の出力に誤りがあった場合にのみ信号線400₁～400_nをそれぞれ選択する。

【0019】切替器8_{n+1}は、通常制御メモリ1から出力されるマイクロ命令を選択しており、上記の誤りがあった場合にのみ、誤り検出訂正回路4₁から出力される信号線401を選択し、マイクロ命令レジスタ3_{n+1}へ送出される。

【0020】切替器8₁～8_nは、通常制御メモリ1から出力されるマイクロ命令に付加してある誤り訂正コード1₁～1_nをそれぞれ選択しており、上記の誤りがあった場合にのみ信号線402₁～402_nをそれぞれ選択し、誤り訂正コードレジスタ3₁～3_nへ送出される。

【0021】誤り検出訂正回路4₁～4_nは、上記の切替器7₁～7_nの出力と、マイクロ命令レジスタ3_{n+1}の出力と、誤り訂正コードレジスタ3₁～3_nの出力と、を入力してそれぞれ動作する。誤り検出訂正回路4₁～4_nによって誤りが検出された場合、誤り訂正の結果は信号線400₁～400_nがそれぞれ切替器6₁～6_nに、信号線401が切替器8_{n+1}に、信号線402₁～402_nがそれぞれ切替器8₁～8_nに入力される。同時に、誤り検出訂正回路4₁～4_nは、それぞれ制御信号403₁～403_nを出力することによって、1つの動作抑止信号をOR回路40を介して出力しデコーダ9の動作を抑止する。

【0022】マイクロアドレスレジスタ2₁～2_nおよびマイクロ命令レジスタ3_{n+1}および誤り訂正コードレジスタ3₁～3_nへの誤り訂正の結果の格納が終了すると、誤りによるマイクロプログラム制御の抑止が解除され、マイクロ命令による制御が行われる。

【0023】デコーダ9はマイクロ命令レジスタ3_{n+1}の出力を解釈し、そのマイクロ命令の種類やステータス情報に対する条件1～nを報告する信号線900と、演算器10を制御する制御信号を発生する。

【0024】判定器12は、フラグレジスタ11のステータス情報と信号線900により条件1～nの成立、不成立を判定し、その結果を制御信号902として報告する。従って、上記実施例の構成によれば、マイクロ命令とそのマイクロ命令のアドレスの次に考えられるnウェイのアドレスに対してそれぞれ生成した第1～第nの誤り訂正コードを用いて、nウェイの誤り検出訂正を行うことにより、nウェイ分岐可能なマイクロプログラム制御装置のマイクロ命令の実行順序の正当性を保証することができる。さらに、制御メモリから読み出すアドレスを生成する回路に置けるAC特性不良のような故障モードによるアドレス生成不正障害をも検出し訂正して動作を継続することができるという効果を有する。

【0025】

【発明の効果】以上説明したように本発明は、マイクロ命令とそのマイクロ命令のアドレスの次に考えられる n ウェイのアドレスに対してそれぞれ生成した第1～第 n の誤り訂正コードを用いて、 n ウェイの誤り検出訂正を行うことにより、 n ウェイ分岐可能なマイクロプログラム制御装置のマイクロ命令の実行順序の正当性を保証することができるとともに、次に実行されるマイクロ命令を制御メモリから読み出す前にアドレスの誤りを訂正できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による n ウェイ分岐可能なマイクロプログラム制御装置の構成図である。

【図2】従来例によるマイクロプログラム制御装置の構成図である。

【符号の説明】

- 1 制御メモリ
- 1₁ ～ 1 _{n} 第1～第 n 誤り訂正コード群
- 2₁ ～ 2 _{n} 第1～第 n マイクロアドレスレジスタ
- 3₁ ～ 3 _{n} 第1～第 n 誤り訂正コードレジスタ
- 3 _{$n+1$} マイクロ命令レジスタ
- 4₁ ～ 4 _{n} 第1～第 n 誤り検出訂正回路

40 OR回路

5₁ ～ 5 _{n} 第1～第 n 加算器

6₁ ～ 6 _{n} 、7₁ ～ 7 _{n} 、8₁ ～ 8 _{n} 、8 _{$n+1$} 、13
切替器

9 デコーダ

10 演算器

11 フラグレジスタ

12 判定器

300、400₁ ～ 400 _{n} 、401、402₁ ～ 40

10 2 _{n} 、900 信号線

403₁ ～ 403 _{n} 、902 制御信号

1a 制御メモリ

2a マイクロアドレスレジスタ

3a マイクロ命令レジスタ

4a 誤り検出訂正回路

5a 加算器

6a、8a 切替器

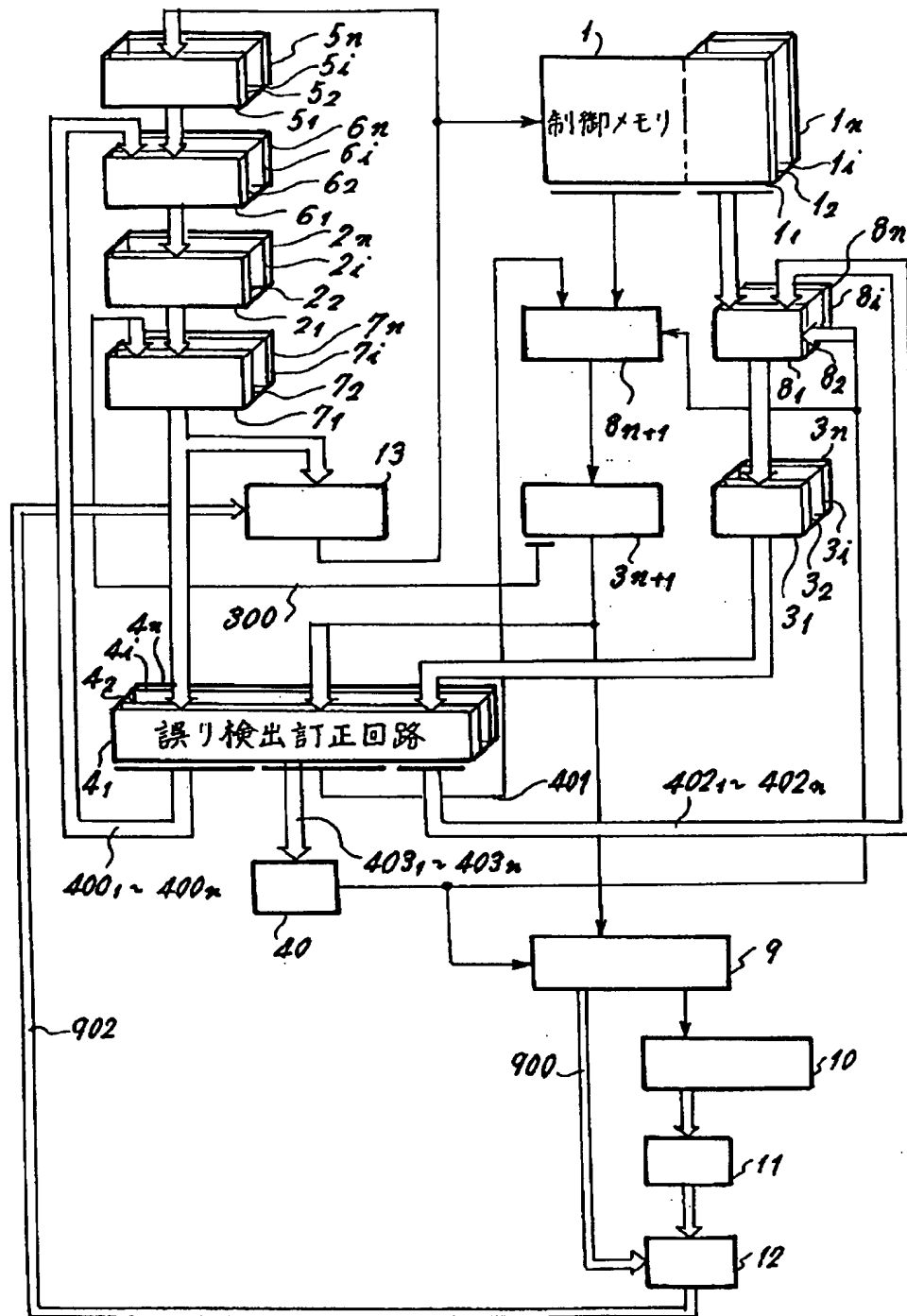
9a デコーダ

10a 演算器

20 400a、401a 信号線

403a 制御信号

【図 1】



【図 2】

